

JFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hitoshi SHIGA

GAU: 2818

SERIAL NO: 10/799,776

EXAMINER:

FILED: March 15, 2004

FOR: NONVOLATILE MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-352604	October 10, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph Scafetta, Jr.  
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

10/799,776

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 0 月 1 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 5 2 6 0 4  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 5 2 6 0 4 ]

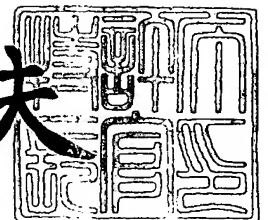
願                      人  
Applicant(s):                      株式会社東芝

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年    4 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 3 6 3 4 9

【書類名】 特許願  
【整理番号】 ACB033006  
【提出日】 平成15年10月10日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 7/08  
【発明者】  
    【住所又は居所】 東京都区芝浦一丁目 1 番 1 号 株式会社東芝 本社事業所内  
    【氏名】 志賀 仁  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100083806  
    【弁理士】  
    【氏名又は名称】 三好 秀和  
    【電話番号】 03-3504-3075  
【選任した代理人】  
    【識別番号】 100068342  
    【弁理士】  
    【氏名又は名称】 三好 保男  
【選任した代理人】  
    【識別番号】 100100712  
    【弁理士】  
    【氏名又は名称】 岩▲崎▼ 幸邦  
【選任した代理人】  
    【識別番号】 100100929  
    【弁理士】  
    【氏名又は名称】 川又 澄雄  
【選任した代理人】  
    【識別番号】 100108707  
    【弁理士】  
    【氏名又は名称】 中村 友之  
【選任した代理人】  
    【識別番号】 100095500  
    【弁理士】  
    【氏名又は名称】 伊藤 正和  
【選任した代理人】  
    【識別番号】 100101247  
    【弁理士】  
    【氏名又は名称】 高橋 俊一  
【選任した代理人】  
    【識別番号】 100098327  
    【弁理士】  
    【氏名又は名称】 高松 俊雄  
【手数料の表示】  
    【予納台帳番号】 001982  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1



【物件名】  
【物件名】

図面 1  
要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

不揮発性半導体記憶装置において、

データを記憶するデータ記憶部及び前記データが反転されたか否かに関する情報であるデータ反転用フラグを記憶するデータ反転用フラグ記憶部を有し、選択されたデータ及び前記データに係るデータ反転用フラグを出力するメモリセルアレイと、

前記メモリセルアレイにデータを書き込む際に、バイアス電圧を印加する数が所定数以上であるか否かを判定し、その判定の結果、バイアス電圧を印加する数が所定数以上の場合には、反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグを前記メモリセルアレイに転送する指示を行うステートマシンと、

前記メモリセルアレイに記憶するデータを入力し、前記ステートマシンの指示に基づいて反転したデータ及び前記データ反転用フラグを前記メモリセルアレイへ転送するデータ制御回路と、

を有することを特徴とする不揮発性半導体記憶装置。

**【請求項 2】**

不揮発性半導体記憶装置において、

複数の不揮発性メモリが行列状に配置され、データを記憶するデータ記憶部及び前記データが反転されたか否かに関する情報であるデータ反転用フラグを記憶するデータ反転用フラグ記憶部を有し、選択されたデータ及び前記データに係るデータ反転用フラグを出力するメモリセルアレイと、

前記データに係る前記メモリセルアレイのワード線を選択するロウデコーダと、

前記データに係る前記メモリセルアレイのビット線を選択するカラムデコーダと、

前記メモリセルアレイに記憶するデータを入力し、前記データ若しくは反転したデータ及び前記データ反転用フラグを前記メモリセルアレイへ転送し、この転送の際には、前記カラムデコーダを介して所定のメモリセルに書き込みビット線電圧を与える書き込み制御回路と、

前記メモリセルアレイに前記データを書き込む際に、バイアス電圧を印加する数が所定数以上であるか否かを判定し、前記判定の結果、バイアス電圧を印加する数が所定数以上の場合には、前記データ制御回路に反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグを前記メモリセルアレイに転送する指示を行うステートマシンと、

前記カラムデコーダを介して前記メモリセルアレイのビット線に接続され、前記データの読み出しの場合には、選択されたデータに係るデータ反転用フラグに基づいて、当該データを反転して出力するセンスアンプと、

を有することを特徴とする不揮発性半導体記憶装置。

**【請求項 3】**

不揮発性半導体記憶装置において、

複数の不揮発性メモリが行列状に配置され、データを記憶するデータ記憶部及び前記データが反転されたか否かに関する情報であるデータ反転用フラグを記憶するデータ反転用フラグ記憶部を有し、記憶される前記データに係るデータ格納部と前記データに係るデータ反転用フラグ記憶部とが、同一の行ビット線に配置され、選択されたデータ及び前記データに係るデータ反転用フラグを出力するメモリセルアレイと、

前記データに係る前記メモリセルアレイのワード線を選択するロウデコーダと、

前記データに係る前記メモリセルアレイのビット線を選択するカラムデコーダと、

前記メモリセルブロックに印加する電圧を制御する内部電源制御回路と、

前記メモリセルアレイ内の所定の記憶部への書き込み禁止に関する情報を記憶するプロテクトレジスタと、

この半導体記憶装置の動作に係るコマンドを受け取るコマンドインターフェースと、

前記コマンドインターフェースからの動作の指示があった際には、前記プロテクトレジスタ内に記憶された書き込み禁止情報を受け取り、書き込みを行う対象のアドレスに係る記憶部の状態を判定し、書き込み可能と判定された場合には、前記データ制御回路から書

き込みデータを取得し、前記メモリセルアレイに前記データを書き込む際にバイアス電圧を印加する数が所定数以上であるか否かを判定し、前記判定の結果、バイアス電圧を印加する数が所定数以上の場合には、前記データ制御回路に反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグを前記メモリセルアレイに転送する指示を行うステートマシンと、

前記メモリセルアレイに記憶するデータを入力し、前記ステートマシンの指示に基づいて反転したデータ及び前記データ反転用フラグを前記メモリセルアレイへ転送し、この転送の際には、前記内部電源制御回路から前記カラムデコーダを介して書き込みビット線電圧を得て、前記所定のメモリセルに前記書き込みビット線電圧を与える書き込み制御回路と、

前記カラムデコーダを介して前記メモリセルアレイのビット線に接続され、前記データの読み出しの場合には、選択されたデータに係るデータ反転用フラグに基づいて、当該データを反転して出力するセンスアンプと、

を有することを特徴とする不揮発性半導体記憶装置。

【請求項 4】

前記データ記憶部は、複数本の列ビット線上に配置され、前記データ反転用フラグ記憶部は、前記データ記憶部とは別の列ビット線上に配置されることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の不揮発性半導体記憶装置。

【請求項 5】

前記データ反転用フラグ記憶部は、前記データ記憶部に係るアドレスに対して 1 つ設けられることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の不揮発性半導体記憶装置。

【請求項 6】

前記データ反転用フラグ記憶部は、前記データ記憶部に係る複数のアドレスに対して 1 つ設けられることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の不揮発性半導体記憶装置。

【請求項 7】

前記ステートマシンは、前記コマンドインターフェースからの動作の指示があった際には、前記プロテクトレジスタ内に記憶された書き込み禁止情報を受け取り、書き込みを行う対象のアドレスに係る複数の記憶部の状態を判定し、それら総ての記憶部が書き込み可能と判定された場合には、前記データ制御回路から複数の書き込みデータを取得し、前記メモリセルアレイに前記複数のデータを書き込む際にバイアス電圧を印加する数が所定数以上であるか否かを判定し、前記判定の結果、バイアス電圧を印加する数が所定数以上の場合には、前記データ制御回路に反転した複数のデータ及びそれらデータが反転された旨の情報であるデータ反転用フラグを前記メモリセルアレイに転送する指示を行うことを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】

前記ステートマシンは、バイアス電圧を印加する数が所定以上であるか否かを判定する際に、書き込むデータに係るビットの半数以上の場合に、前記データ制御回路に反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグを前記メモリセルアレイに転送する指示を行うことを特徴とする請求項 1 乃至 3 のいずれか一項に記載の不揮発性半導体記憶装置。

【請求項 9】

前記ステートマシンは、バイアス電圧を印加する数が所定以上であるか否かを判定する際に、この不揮発性半導体記憶装置に備わる内部電源制御回路の書き込み電流供給能力に基づいて判定し、前記データ制御回路に反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグを前記メモリセルアレイに転送する指示を行うことを特徴とする請求項 1 乃至 3 のいずれか一項に記載の不揮発性半導体記憶装置。

【請求項 10】

前記不揮発性半導体記憶装置は、NOR 型のフラッシュメモリであることを特徴とする請

● 求項 1 乃至 9 のいずれか一項に記載の不揮発性半導体記憶装置。

**【書類名】 明細書****【発明の名称】 不揮発性半導体記憶装置****【技術分野】****【0 0 0 1】**

本発明は、不揮発性半導体記憶装置に関し、特に、不揮発性半導体記憶装置の書き込み動作における高速化を図る技術に関する。

**【背景技術】****【0 0 0 2】**

フラッシュメモリ等の不揮発性半導体記憶装置は書き込みコマンドにより書き込みアドレスとデータを受け付けると、チップ内部で内部電源、デコーダ、センスアンプを制御して書き込み及びその確認（ベリファイ）動作を自動的に行う自動書き込み機能を備えるものが一般的である。

**【0 0 0 3】**

図8は、従来の不揮発性半導体記憶装置における書き込み時の動作を示すフローチャートである。通常、書き込みコマンドの入力を受けて、内部シーケンスの動作がスタートする。まず、書き込み対象のアドレスが書き込み禁止の状態か否かを判定する（ステップS101）。書き込み対象のアドレスが書き込み禁止の状態の場合には、そのまま処理を終了する。一方、書き込み可能な場合には、書き込みセットアップを実行する（ステップS102）。その後、書き込み処理を行う（ステップS103）。書き込み処理では、対象セルを、デコーダを介して選択し書き込み電圧をセルに印加して書き込みを実行する。続いて、ベリファイセットアップ処理を行う（ステップS104）。このベリファイセットアップ処理では、内部電圧を書き込みのためのレベルからベリファイリードのためのレベルに変更する。そしてベリファイリードをおこない、セルに書き込まれた情報と書き込むべきデータとが一致するかどうかベリファイ判定する（ステップS105）。ベリファイをパスすればシーケンスを終了するが、判定により失敗（フェイル）の場合は、書き込みデータ決定を行って（ステップS106）、ステップS102に戻って、再度書き込みを行う。これが自動書き込みの一連のシーケンスである。

**【0 0 0 4】**

図9は、ホットエレクトロン書き込みのセルへのバイアス条件を説明するための図である。メモリセルのドレインソース間に5V程度の電圧を印加し、ゲートに10Vの電圧をかける。これにより、チャネルに大きな電流を流しホットエレクトロンをゲートチャネル間の電界によって浮遊ゲートに引き込むことで、書き込みを実現する。消去状態を1の場合、0データを書き込むセルにはドレインに5Vを印加し、1データを書き込むセルのドレインはオープンにする。

**【0 0 0 5】**

一方、特許文献1には、半導体記憶装置の書き込み時間の短縮と消費電力低減を目的として、ランダムに入力される複数のアドレスに対する書き込み等について昇圧電源回路のオンオフ切り替えを行わないようにすることで昇圧電源回路の消費電力低減を図る技術が開示されている。

**【0 0 0 6】**

また、特許文献2には、半導体記憶装置の複数のメモリセルを順次選択してデータを書き込む際に、任意の温度条件で書き込みに必要な時間を短縮するために、複数のメモリセルを第1のグループと第2のグループとに分け、セルへの印加電圧、電圧印加時間を第1の書き込み条件に設定して、第1のグループのメモリセルを順次選択してそれぞれ書き込みとベリファイを行う。次に、第1のグループのメモリセル全体の書き込みに要した時間に応じてセルへの印加電圧、電圧印加時間を変更した第2の書き込み条件に設定し、この条件にて第2のグループのメモリセルを順次選択して書き込むようにした技術について開示されている。

【特許文献1】 特開2001-135086号公報（第1図）

【特許文献2】 特開2000-243095号公報（第1図）



## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0007】

しかしながら、従来の書き込み方法では大きな電流を流して書き込みを行うため、一度に選択して書き込むことのできるセル数に限りがある。そのひとつの要因は書き込み電流を供給する昇圧電位を発生する内部電位制御回路の電流供給能力であり、もうひとつは大電流が流れることによるメモリセルのソース側の電位の浮きである。したがって、メモリチップの大容量化が進むに従いチップ全体への書き込み時間の増大が問題となってきた。

本発明は上記事情に鑑みて成されたものであり、その目的とするところは、書き込み動作の高速化を図ることが可能な不揮発性半導体記憶装置を提供することにある。

## 【課題を解決するための手段】

## 【0008】

本願発明の一態様によれば、データを記憶するデータ記憶部及び前記データが反転されたか否かに関する情報であるデータ反転用フラグを記憶するデータ反転用フラグ記憶部を有し、選択されたデータ及び前記データに係るデータ反転用フラグを出力するメモリセルアレイと、前記メモリセルアレイにデータを書き込む際に、バイアス電圧を印加する数が所定数以上であるか否かを判定し、その判定の結果、バイアス電圧を印加する数が所定数以上の場合には、反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグを前記メモリセルアレイに転送する指示を行うステートマシンと、前記メモリセルアレイに記憶するデータを入力し、前記ステートマシンの指示に基づいて反転したデータ及び前記データ反転用フラグを前記メモリセルアレイへ転送するデータ制御回路と、を有することを特徴とする不揮発性半導体記憶装置が提供される。

## 【0009】

また、本発明の他の態様によれば、複数の不揮発性メモリが行列状に配置され、データを記憶するデータ記憶部及び前記データが反転されたか否かに関する情報であるデータ反転用フラグを記憶するデータ反転用フラグ記憶部を有し、選択されたデータ及び前記データに係るデータ反転用フラグを出力するメモリセルアレイと、前記データに係る前記メモリセルアレイのワード線を選択するロウデコードと、前記データに係る前記メモリセルアレイのビット線を選択するカラムデコードと、前記メモリセルアレイに記憶するデータを入力し、前記データ若しくは反転したデータ及び前記データ反転用フラグを前記メモリセルアレイへ転送し、この転送の際には、前記カラムデコードを介して所定のメモリセルに書き込みビット線電圧を与える書き込み制御回路と、前記メモリセルアレイに前記データを書き込む際に、バイアス電圧を印加する数が所定数以上であるか否かを判定し、前記判定の結果、バイアス電圧を印加する数が所定数以上の場合には、前記データ制御回路に反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグを前記メモリセルアレイに転送する指示を行うステートマシンと、前記カラムデコードを介して前記メモリセルアレイのビット線に接続され、前記データの読み出しの場合には、選択されたデータに係るデータ反転用フラグに基づいて、当該データを反転して出力するセンスアンプと、を有することを特徴とする不揮発性半導体記憶装置が提供される。

## 【0010】

さらに、本発明の他の態様によれば、複数の不揮発性メモリが行列状に配置され、データを記憶するデータ記憶部及び前記データが反転されたか否かに関する情報であるデータ反転用フラグを記憶するデータ反転用フラグ記憶部を有し、記憶される前記データに係るデータ格納部と前記データに係るデータ反転用フラグ記憶部とが、同一の行ビット線に配置され、選択されたデータ及び前記データに係るデータ反転用フラグを出力するメモリセルアレイと、前記データに係る前記メモリセルアレイのワード線を選択するロウデコードと、前記データに係る前記メモリセルアレイのビット線を選択するカラムデコードと、前記メモリセルブロックに印加する電圧を制御する内部電源制御回路と、前記メモリセルアレイ内の所定の記憶部への書き込み禁止に関する情報を記憶するプロテクトレジスタと、この半導体記憶装置の動作に係るコマンドを受け取るコマンドインターフェースと、前記

コマンドインターフェースからの動作の指示があった際には、前記プロテクトレジスタ内に記憶された書き込み禁止情報を受け取り、書き込みを行う対象のアドレスに係る記憶部の状態を判定し、書き込み可能と判定された場合には、前記データ制御回路から書き込みデータを取得し、前記メモリセルアレイに前記データを書き込む際にバイアス電圧を印加する数が所定数以上であるか否かを判定し、前記判定の結果、バイアス電圧を印加する数が所定数以上の場合には、前記データ制御回路に反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグを前記メモリセルアレイに転送する指示を行うステートマシンと、前記メモリセルアレイに記憶するデータを入力し、前記ステートマシンの指示に基づいて反転したデータ及び前記データ反転用フラグを前記メモリセルアレイへ転送し、この転送の際には、前記内部電源制御回路から前記カラムデコーダを介して書き込みビット線電圧を得て、前記所定のメモリセルに前記書き込みビット線電圧を与える書き込み制御回路と、前記カラムデコーダを介して前記メモリセルアレイのビット線に接続され、前記データの読み出しの場合には、選択されたデータに係るデータ反転用フラグに基づいて、当該データを反転して出力するセンスアンプと、を有することを特徴とする不揮発性半導体記憶装置が提供される。

【発明の効果】

【0011】

本発明は入力された書き込みデータを所定の方式にしたがって変換し、実際にメモリセルに書き込みバイアスを印加する数を半分に抑えることによって書き込み時間を短縮することができる。また、書き込み回数を低減することで低消費電力化を図ることも出来る。書き込むメモリセルの個数が制限される書き込み方式を使った不揮発性半導体記憶装置に対して有効である。

【発明を実施するために最良の形態】

【0012】

本発明に係るクロック位相調整回路及び受信装置の実施形態について、図面を参照しながら詳細に説明する。

【実施例1】

【0013】

図1は本発明に係る不揮発性半導体記憶装置の第1の実施例を示すブロック図である。この不揮発性半導体記憶装置は、複数の不揮発性メモリが行列状に配置され、データを記憶するデータ記憶部及びデータが反転されたか否かに関する情報であるデータ反転用フラグを記憶するデータ反転用フラグ記憶部を有し、記憶されるデータに係るデータ格納部とデータに係るデータ反転用フラグ記憶部とが、同一の行ビット線に配置され、選択されたデータ及びデータに係るデータ反転用フラグを出力するメモリセルアレイ201と、記憶するデータに係るメモリセルアレイ201のワード線を選択するロウデコーダ202と、記憶するデータに係るメモリセルアレイ201のビット線を選択するカラムデコーダ203と、メモリセルアレイ201に印加する電圧を制御する内部電源制御回路211と、メモリセルアレイ201内の所定の記憶部への書き込み禁止に関する情報を記憶するプロテクトレジスタ210と、半導体記憶装置の動作に係るコマンドを受け取るコマンドインターフェース207と、コマンドインターフェース207からの動作の指示があった際には、プロテクトレジスタ210内に記憶された書き込み禁止情報を受け取り、書き込みを行う対象のアドレスに係る記憶部の状態を判定し、書き込み可能と判定された場合には、データ制御回路205から書き込みデータを取得し、メモリセルアレイ201にデータを書き込む際にバイアス電圧を印加する数が所定数以上であるか否かを判定し、この判定の結果、バイアス電圧を印加する数が所定数以上の場合には、データ制御回路205に反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグをメモリセルアレイ201に転送する指示を行うステートマシン208と、メモリセルアレイに記憶するデータを入力し、ステートマシン208の指示に基づいて反転したデータ及びデータ反転用フラグをメモリセルアレイ201へ転送し、この転送の際には、内部電源制御回路211からカラムデコーダ203を介して書き込みビット線電圧を得て、所定のメモリセルに書き

込みビット線電圧を与えるデータ制御回路205と、カラムデコーダ203を介してメモリセルアレイ201のビット線に接続され、データの読み出しの場合には、選択されたデータに係るデータ反転用フラグに基づいて、当該データを反転して出力するセンスアンプ204と、を有する。

#### 【0014】

ここで、ステートマシン208は、コマンドインターフェース207からの動作の指示があった際には、プロテクトレジスタ210内に記憶された書き込み禁止情報を受け取り、書き込みを行う対象のアドレスに係る複数の記憶部の状態を判定し、それら総ての記憶部が書き込み可能と判定された場合には、データ制御回路205から複数の書き込みデータを取得し、メモリセルアレイ201に複数のデータを書き込む際にバイアス電圧を印加する数が所定数以上であるか否かを判定し、判定の結果、バイアス電圧を印加する数が所定数以上の場合には、データ制御回路205に反転した複数のデータ及びそれらデータが反転された旨の情報であるデータ反転用フラグをメモリセルアレイに転送する指示を行うようにしてもよい。

#### 【0015】

また、ステートマシン208は、バイアス電圧を印加する数が所定以上であるか否かを判定する際に、書き込むデータに係るビットの半数以上の場合に、データ制御回路205に反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグをメモリセルアレイに転送する指示を行うようにしてもよい。

#### 【0016】

さらに、ステートマシン208は、バイアス電圧を印加する数が所定以上であるか否かを判定する際に、この不揮発性半導体記憶装置に備わる内部電源制御回路211の書き込み電流供給能力に基づいて判定し、データ制御回路205に反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグをメモリセルアレイ201に転送する指示を行うようにしてもよい。

#### 【0017】

ここで、コマンドインターフェース207は、読み出しあるいは書き込み／消去などチップ動作を決める。コマンドインターフェース207で自動動作モードを判定した際には、ステートマシン208は、アドレス制御回路206、電源制御回路211、データ制御回路205のシーケンスを制御する。タイマ209は、メモリセルアレイ201へのバイアス印加時間や内部電源の遷移時間など決められた時間をカウントする。プロテクトレジスタは、書き込み禁止情報などを記憶し書き込み制約を与える。

#### 【0018】

本実施例におけるメモリセルアレイ201は、NOR型フラッシュのメモリセルを構成するセルトランジスタが行列状に配置されてなる。ロウデコーダ202は、後述するアドレス制御回路206、及び、データ制御回路205で指定されたロウアドレスをデコードして、メモリセルアレイ201内の行選択を行うものである。カラムデコーダ203は、アドレス制御回路206、及び、データ制御回路205で指定されたカラムアドレスをデコードして、メモリセルアレイ201内の列選択を行うものである。カラムデコーダ203は、カラムスイッチ用のトランジスタを含む。

#### 【0019】

センスアンプ204は、メモリセルアレイ201内の選択されたメモリセルに記憶されたデータの読み出しに際して、メモリセルからの読み出し電位を入力し、所定の電位（リファレンス電位）と比較することによりデータを判定する。そして、センスアンプ204は、その判定結果を、データ制御回路205及びコマンドインターフェース207に出力する。

#### 【0020】

ステートマシン208は、コマンドインターフェース207で自動動作モードを判定した際には、アドレス制御回路206、電源制御回路211、データ制御回路205のシーケンスを制御する。本実施例では、メモリセルアレイに書き込みを行う際にアドレス制御

回路206、電源制御回路211、データ制御回路205を制御して所定のシーケンスを実施する。

#### 【0021】

図2は、本実施例に係るメモリセルアレイ201、ロウデコーダ202、カラムデコーダ203、センスアンプ204、及び、データ制御回路205の一部の詳細に示した図である。本図において、カラムデコーダ203はカラムゲートドライバ203aとカラムゲート203bとを含む。カラムデコーダ203はメモリセルアレイ201の複数の列ビット線に接続される。また、ロウデコーダ202はメモリセルアレイ201の複数の行ビット線に接続される。メモリセルアレイ201中の所望のセルはロウデコーダ202とカラムゲート203及びカラムゲートドライバ204によって選択される。書き込みバイアス時は書き込み電圧転送トランジスタ212を書き込みデータに応じて転送する。書き込む(“0”セル書き込み)ときは書き込み電圧転送トランジスタ212をオンさせて書き込み電位 $V_{pp}$ を転送し、データが非書き込みセル(“1”セル書き込み)のときは逆に書き込み電圧転送トランジスタ212をオフさせる。このとき選択されたメモリセルのドレイン(列ビット線)はフローティング状態になる。読み出しやベリファイリードのときには列ビット線はセンスアンプ204に接続される。そのため書き込み電圧転送トランジスタ212はオフ状態にしておく。

#### 【0022】

図3は、本実施例に係る不揮発性半導体記憶装置の書き込みシーケンスのフローチャートを示す図である。このフローチャートに係る動作は、書き込みコマンドを受け、ステートマシン208が内部シーケンスを開始することにより行われる。まず、プロテクトレジスタ210内に記憶されたプロテクトなど書き込み禁止状態になっているか否かに関する情報を得る(ステップS111)。書き込みを行う対象アドレスが書き込み禁止状態であればそのまま自動書き込みシーケンスを終了する。一方、書き込みを実行可能な場合は、次に、データ制御回路205から書き込みデータを取得し、書き込みデータが“0”であるセルの数が一定数以上であるか否かを判定する(ステップS112)。

#### 【0023】

上記判定にてセルに書き込みバイアスを印加するセルの数(書き込みデータが“0”のビット数)がある一定数を超えた場合、例えば半数を超えた場合には書き込みデータを反転してメモリセルアレイ201に書き込むようにする(ステップS113)。ここで、本実施例においては、データ反転用フラグ記憶部(図示せず)を用意し、上記反転作業を実行した場合はデータ反転用フラグ記憶部に当該データは反転された旨を記憶するようにする。例えば、データ反転用フラグセルをメモリセルアレイ201内に設け、データ反転用フラグを記憶する。このデータ反転用フラグは、当該データと関連して記憶するようにし、反転する際には“0”を書き込むようにする。ここで、上記には限られず、反転しないときに“0”を書くようにしてもよい。ここで、書き込みデータを反転するか否かを決定する一定数は、内部電源制御回路の書き込み電流供給能力に基づいて決定されるようにしても良い。続いて、書き込みセットアップを実行する(ステップS114)。この書き込みセットアップの処理は、対象セルに書き込み電圧を印加するための内部電圧を生成する。具体的には、チャージポンプなどの昇圧回路(図示せず)を用いて所望の電圧を発生させる。その後、書き込み処理を行う(ステップS115)。ここで、本実施例では、データ制御回路205が書き込みデータ若しくは反転した書き込みデータ及びデータ反転用フラグをメモリセルアレイ201に書き込む。書き込み処理では、対象セルを、デコーダを介して選択し書き込み電圧をセルに印加して書き込みを実行する。続いて、ベリファイセットアップ処理を行う(ステップS116)。このベリファイセットアップ処理では、内部電圧を書き込みのためのレベルからベリファイリードのためのレベルに変更する。そしてベリファイリードをおこない、セルに書き込まれた情報と書き込むべきデータとが一致するかどうかベリファイ判定する(ステップS117)。ベリファイをパスすればシーケンスを終了するが、判定により失敗(フェイル)の場合は、書き込みデータ決定を行って(ステップS118)、ステップS114に戻って、再度書き込み処理を行う。

## 【0024】

図4は、入出力幅が4の場合のデータ変換テーブルを示す図表である。図表に向かって左から、データ制御回路205に入力された入力データ、データが反転された場合の書き込みデータ、及び、データ反転用フラグを示してある。この図表において、データ反転用フラグが”0”の場合には、入力データを反転して書き込み変換データをメモリセルアレイ201に格納する。一方、データ反転用フラグが”1”の場合には、入力データをそのままメモリセルアレイ201に格納する。本実施例においては、例えば、入出力幅が4の場合、書き込みビット数(”0”ビット数)が0、1、2の場合はデータ反転を行わずに、入力データをそのままメモリセルアレイ201に格納し、当該データに係るデータ反転用フラグセルに”1”を設定する。一方、書き込みビット数が3、4ビットのときはデータ反転するとともに反転フラグビットを”0”に設定する。このようにすると、すべてのデータにおいて書き込みビット数(”0”ビットの数)は2以下になる。ここで、内部電源制御回路の書き込み電流供給能力の制約から同時に書き込みのできるビット数が2と仮定する。この場合には、データ反転前は最高2回の書き込みをおこなわないと書き込みが終了しないのに対し、データ変換すると必ず1回のバイアスで書き込みを終了することができる。

## 【0025】

図5は、本実施例に係るメモリセルアレイ201、ロウデコーダ202、カラムデコーダ203、センスアンプ204の一部の詳細に示した図である。本図を用いて、本実施例に係る不揮発性半導体記憶装置の読み出し方法について説明する。本実施例においては、メモリセルアレイ201内にデータ反転用フラグセル213aを設け、ロウデコーダ202から所定のデータが読み出される際には、そのデータに係るデータ反転用フラグセル213aのデータも読み出されるようにしてある。メモリセルアレイ201に格納されるデータであって、ロウデコーダ202及びカラムデコーダ203a、203bに選択されたデータはセンスアンプ204に入力される。この際に、データ反転用フラグセル213a内で選択されたデータもカラムゲートにて選択され、選択された反転フラグは反転フラグ用センスアンプ214にて増幅される。メモリセルアレイ201内で選択されたデータ、及び、データ反転用フラグは出力コンバータ315に入力される。出力コンバータ215はデータ反転用フラグに基づいて入力されたデータを変換して出力する。

## 【0026】

このように、本実施例におけるメモリセルアレイ201においては、1アドレスに対応するデータごとにデータ反転用フラグを設けた。すなわち、ビット幅(入出力幅)にデータ反転用フラグ用のビットを1つ増やすことに相当する。例えば、1アドレス16の入出力幅(ビット幅16)であればフラグ用ビットを1つ追加して17ビット幅のようになる。この場合、1入出力幅に相当するカラム本数と同じだけのデータ反転用フラグビット用のカラムが必要となる。ここで、本実施例の不揮発性半導体記憶装置は、NOR型の不揮発性半導体記憶装置で実施可能であり、さらに、NOR型のフラッシュメモリで実施可能である。

## 【0027】

ここで、メモリセルアレイ201内のデータ反転用フラグセル213a以外はデータを記憶するための記憶部であるが、このデータを記憶するためのデータ記憶部は、複数本の列ビット線上に配置され、データ反転用フラグ記憶部は、データ記憶部とは別の列ビット線上に配置されるようにしてもよい。また、本実施例においては、データ反転用フラグ記憶部は、データ記憶部に係るアドレスに対して1つ設けられるようにしてある。

## 【0028】

以上説明したように、本実施例に係る不揮発性半導体記憶装置によれば、メモリセルアレイへの書き込み回数を低減することにより、書き込み時間を低減することができ、さらに、消費電力を低減することができる。

## 【実施例2】

## 【0029】

次に、本発明に係る不揮発性半導体記憶装置の第2の実施例について、図面を参照しながら詳細に説明する。

#### 【0030】

図6は、実施例2に係る不揮発性半導体装置の実施例を示した図であり、特に、メモリセルアレイ201、ロウデコーダ202、カラムデコーダ203、センスアンプ204の一部の詳細に示した図である。

#### 【0031】

本実施例においては、書き込みコマンドで受け取るアドレスとデータを1アドレス分ではなく連続した複数アドレス、例えば8アドレス分のデータを入力し、その中で“0”データ数が半数を超えているか否かでデータ反転をする／しないとしたものである。すなわち、複数のアドレスに係る複数のデータでデータ反転用フラグを共有するようにしたものである。このように、反転フラグビットを共有することでデータ反転用フラグセル213bのカラムの本数を減らすことができる。各アドレスにデータ反転用フラグを設けた場合に比べ、8アドレスまとめたデータ反転用フラグにするとデータ反転用フラグのためのカラム本数は、実施例1に比べて1/8に減少することができる。

#### 【0032】

この場合には、センスアンプを8アドレス分持たせてまとめてベリファイリードしても構わないが、1アドレス分だけセンスアンプを持たせ、アドレスをインクリメントして1つつベリファイリードをするとセンスアンプの数を抑えることができる。

#### 【0033】

図7は、本実施例に係る不揮発性半導体記憶装置の書き込みシーケンスのフローチャートを示す図である。このフローチャートに係る動作は、実施例1と同様に、書き込みコマンドを受け、ステートマシン208が内部シーケンスを開始することにより行われる。特に、本実施例においては、書き込みコマンドで書き込むべき先頭アドレスとそこから所定の複数アドレス分の書き込みデータを受け付けた場合に図示のシーケンスが開始される。ステートマシン208は書き込みコマンドで書き込むべき先頭アドレスと書き込むべきデータ数又は最終アドレスを受け取り、これらの情報に基づいて図示のシーケンスを実行する。まず、プロテクトレジスタ210内に記憶されたプロテクトなど書き込み禁止状態になっているか否かに関する情報を得る（ステップS121）。書き込みを行う対象アドレスが書き込み禁止状態であればそのまま自動書き込みシーケンスを終了する。一方、書き込みを実行可能な場合は、次に、書き込みデータが“0”であるセルの数が一定数以上であるか否かを判定する（ステップS122）。本実施例においては、複数のアドレスに係るデータについて判定を行う。すなわち、複数のデータにおいて書き込みデータが“0”であるセルの数が一定数以上であるか否かを判定する。例えば、8アドレス分のデータをまとめて判定し、これら8つのデータに対して1つのデータ反転用フラグを設定する。この場合のアドレスは連続することが好ましい。その他の判定は実施例1と同様の処理を行うことができるので、その説明は省略する。上記判定にてセルに書き込みバイアスを印加するセルの数が一定数を超えた場合には、書き込みデータを反転する（ステップS123）。続いて、書き込みセットアップを実行する（ステップS124）。本実施例では、上述の先頭アドレスがカウンタに入力される。この書き込みセットアップの処理は、対象セルに書き込み電圧を印加するための内部電圧を生成する。具体的には、チャージポンプなどの昇圧回路（図示せず）を用いて所望の電圧を発生させる。本実施例では、更に、連続するアドレスに格納するために、アドレスカウンタを設定してそのカウンタをリセットする（ステップS124）。続いて、当該アドレスについて書き込み処理を行い（ステップS125）、当該アドレスが最終アドレスか否かを確認して（ステップS126）、最終アドレスではない場合には、アドレスをインクリメントして（ステップS127）、ステップS124に戻る。ステップS124ではインクリメントされた後のアドレスに対して書き込みセットアップを行う。2回目以降はステップS127にてインクリメントされたアドレスがセットされ当該アドレスへ所定の書き込み処理が行われる。このようにして、所定の回数書き込みを行い、最終アドレスまで書き込みを行った場合には、続いて、

ベリファイセットアップを行い、更に、アドレスリセットを行う（ステップS128）。このベリファイセットアップ処理では、実施例1と同様に、所定時間バイアスを印加するとベリファイセットアップシーケンスでセルに印加する電圧をベリファイリードの電圧に制御する。そしてベリファイ処理を行い（ステップS129）、書き込みデータを決定して（ステップS130）、当該アドレスが最終アドレスか否かを判定する（ステップS131）。この判定で、最終アドレスではないと判定された場合には、アドレスをインクリメントして（ステップS132）、ステップS129に戻って再びベリファイ処理を行う。このようにして最終アドレスに係る書き込みデータまでベリファイ処理を行った場合には、続いて、総てのアドレスに関して、セルに書き込まれた情報と書き込むべきデータとが一致するかどうかベリファイ判定する（ステップS133）。ベリファイをパスすればシーケンスを終了するが、判定により失敗（フェイル）の場合は、ステップS124に戻って、再度書き込み処理を行う。

#### 【0034】

このように、本実施例においては、同時に印加可能なセル数に応じて書き込みを分割するようにした。例えば16ビットの入出力幅で同時書き込み制限が4ビットならば入出力幅の選択を4回に分けて書き込み電圧をセルに印加する。所定時間書き込みバイアスを印加するとアドレスをインクリメントして次のアドレスのセルを選択し書き込みを行う。これを書き込みコマンド入力時に入力されたアドレス分だけ繰り返すようにしてある。そして、所定の複数アドレス分の書き込みが終了すると、内部アドレスを先頭アドレスにリセットすると共に内部電圧をベリファイレベルに制御する（ベリファイセットアップ）。そして書き込みを実行した各アドレスについてベリファイリードを実行し（ベリファイ）、次の書き込みデータを決定する。ベリファイがパスしていればそのアドレスについてはすべての入出力幅に係るデータについて次の書き込みデータが“1”になっている。このベリファイリードとデータ決定のシーケンスを書き込み全アドレスについて繰り返す。そして全アドレスにおいてベリファイをパスしているかどうかの判定をし、次の書き込みデータが全アドレス及び全入力幅に渡って“1”であればベリファイパスとしてシーケンスを終了する。どこかに“0”が残っていれば再度書き込み及びベリファイシーケンスを繰り返す。

#### 【0035】

以上説明したように、本実施例に係る不揮発性半導体記憶装置によれば、メモリセルアレイへの書き込み回数を低減することにより、書き込み時間を低減することができ、さらに、消費電力を低減することができる。更に、本実施例においては、データ反転用フラグセルを共用することでメモリセルアレイの使用量を低減することができる。

#### 【図面の簡単な説明】

#### 【0036】

【図1】本発明に係る不揮発性半導体記憶装置の第1の実施例を示すブロック図である。

【図2】実施例1に係るメモリセルアレイ201、ロウデコーダ202、カラムデコーダ203、センスアンプ204、及び、データ制御回路205の一部の詳細に示した図である。

【図3】実施例1に係る不揮発性半導体記憶装置の書き込みシーケンスのフローチャートを示す図である。

【図4】入出力幅が4の場合のデータ変換テーブルを示す図表である。

【図5】実施例1に係るメモリセルアレイ201、ロウデコーダ202、カラムデコーダ203、センスアンプ204の一部の詳細に示した図である。

【図6】実施例2に係る不揮発性半導体装置の実施例を示した図であり、特に、メモリセルアレイ201、ロウデコーダ202、カラムデコーダ203、センスアンプ204の一部の詳細に示した図である。

【図7】本実施例に係る不揮発性半導体記憶装置の書き込みシーケンスのフローチャートである。

【図 8】従来の不揮発性半導体記憶装置における書き込み時の動作を示すフローチャートである。

【図 9】ホットエレクトロン書き込みのセルへのバイアス条件を説明するための図である。

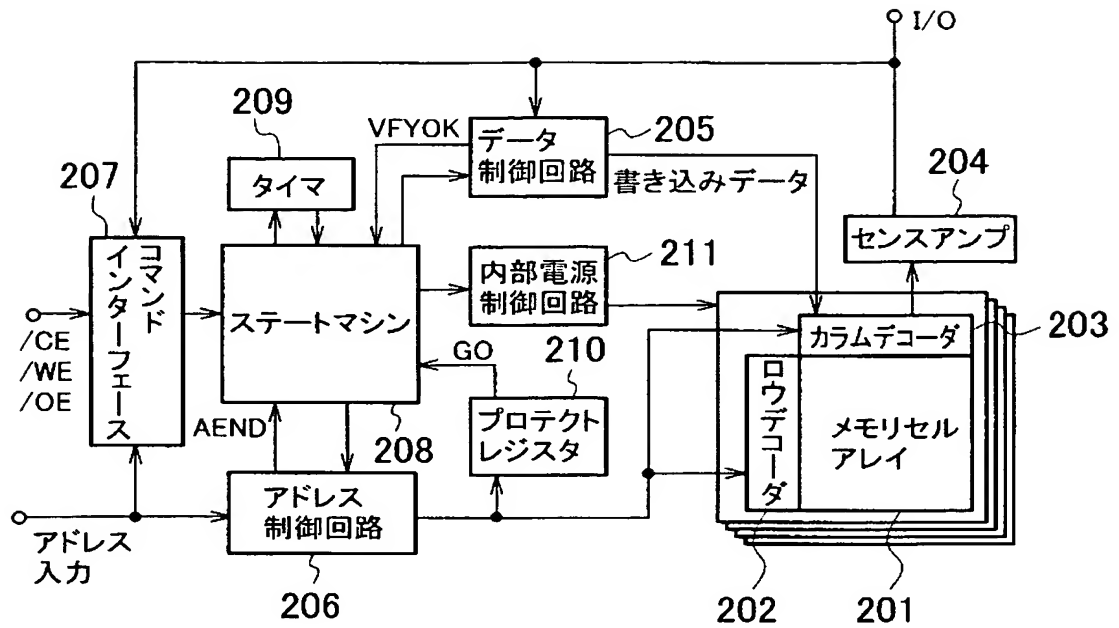
【符号の説明】

【 0 0 3 7 】

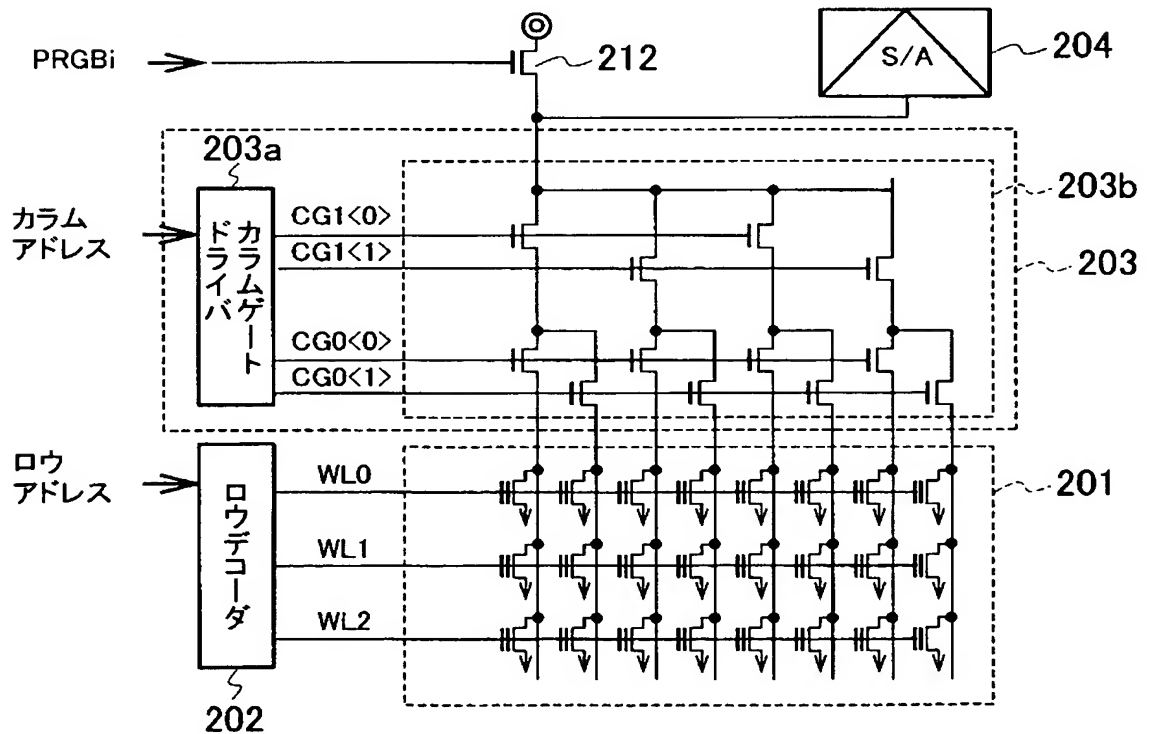
- 2 0 1    メモリセルアレイ
- 2 0 2    ロウデコーダ
- 2 0 3    カラムデコーダ
- 2 0 3 a    カラムゲートドライバ
- 2 0 3 b    カラムゲート
- 2 0 4    センスアンプ
- 2 0 5    データ制御回路
- 2 0 6    アドレス制御回路
- 2 0 7    コマンドインターフェース
- 2 0 8    ステートマシン
- 2 0 9    タイマ
- 2 1 0    プロテクトレジスタ
- 2 1 1    内部電源制御回路
- 2 1 2    書き込み電圧転送トランジスタ
- 2 1 3 a, 2 1 3 b    データ反転用フラグセル
- 2 1 4    反転フラグ用センスアンプ



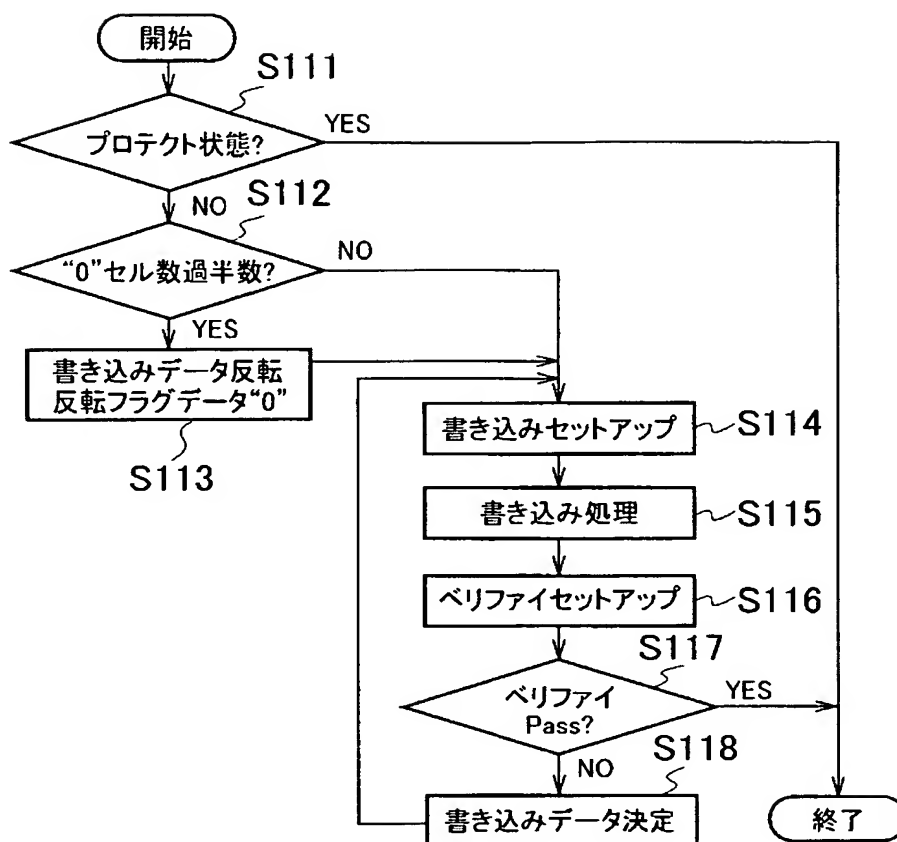
【書類名】 図面  
【図 1】



【図 2】



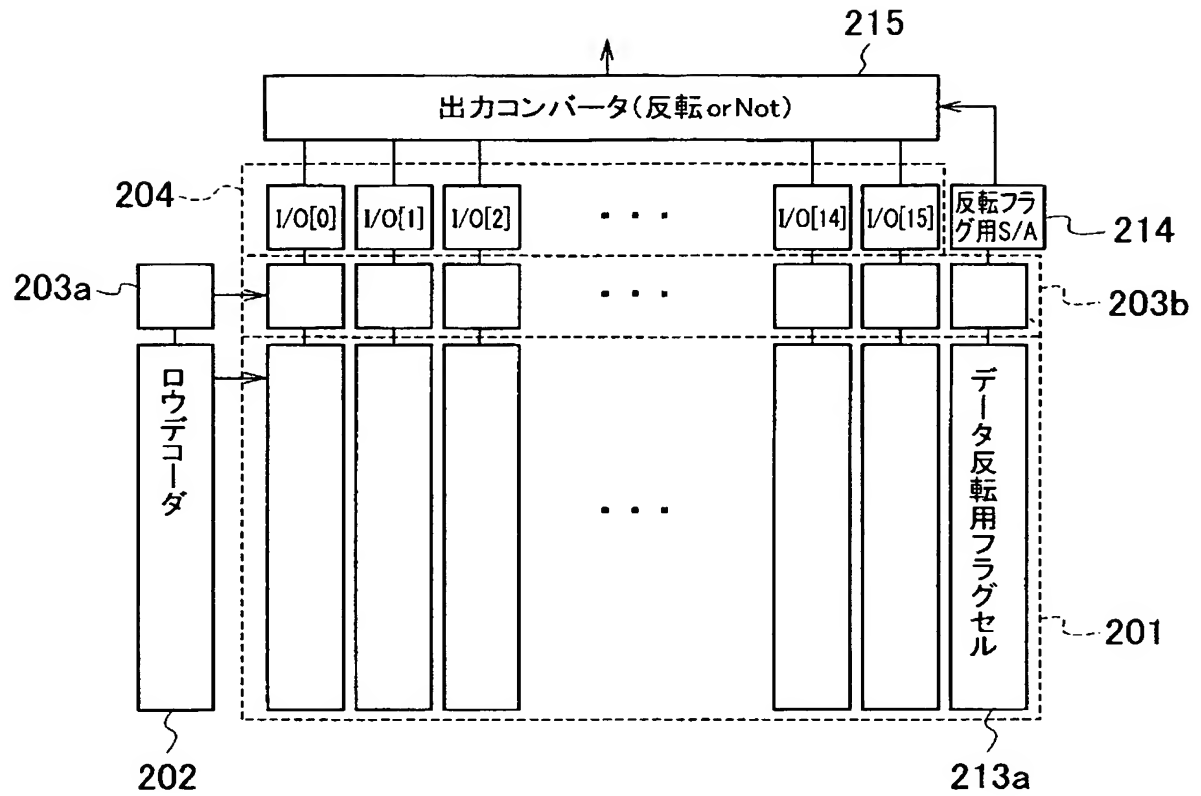
【図 3】



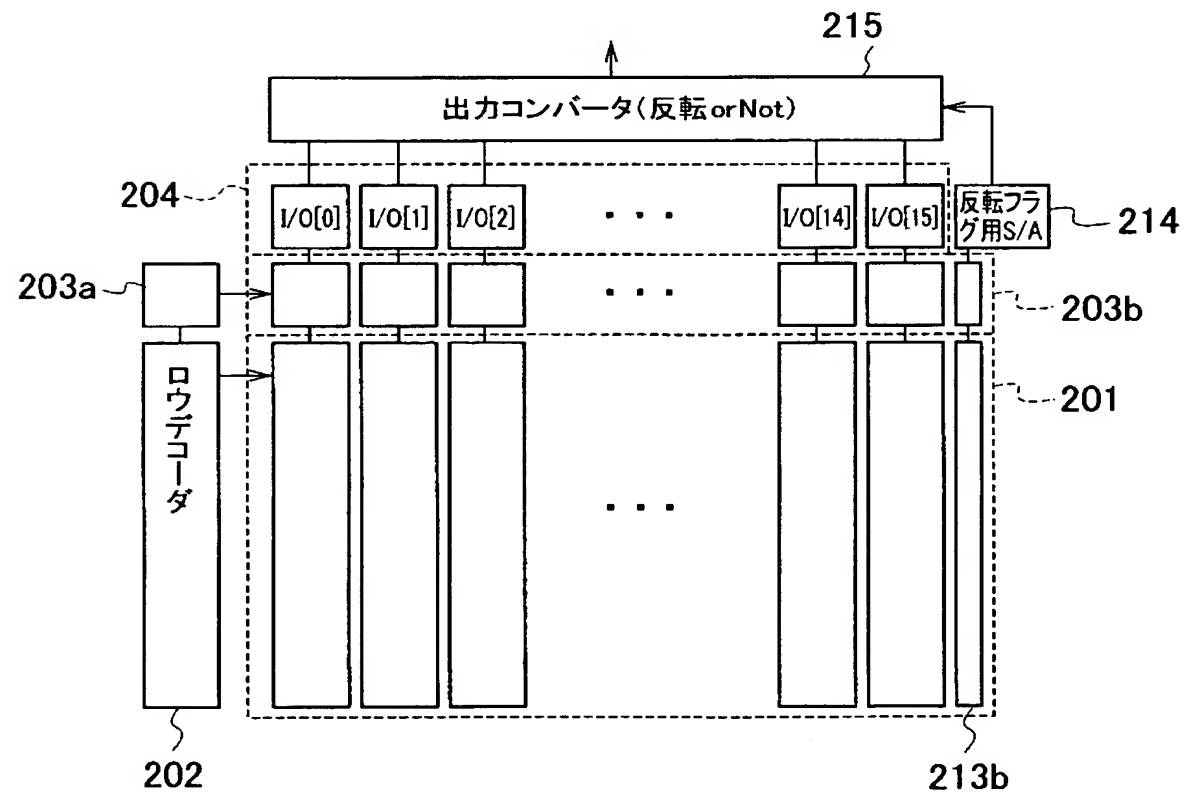
【図 4】

入力データ	書き込み変換データ	データ反転フラグデータ
0000	1111	0
0001	1110	0
0010	1101	0
0011	0011	1
0100	1011	0
0101	0101	1
0110	0110	1
0111	0111	1
1000	0111	0
1001	1001	1
1010	1010	1
1011	1011	1
1100	1100	1
1101	1101	1
1110	1110	1
1111	1111	1

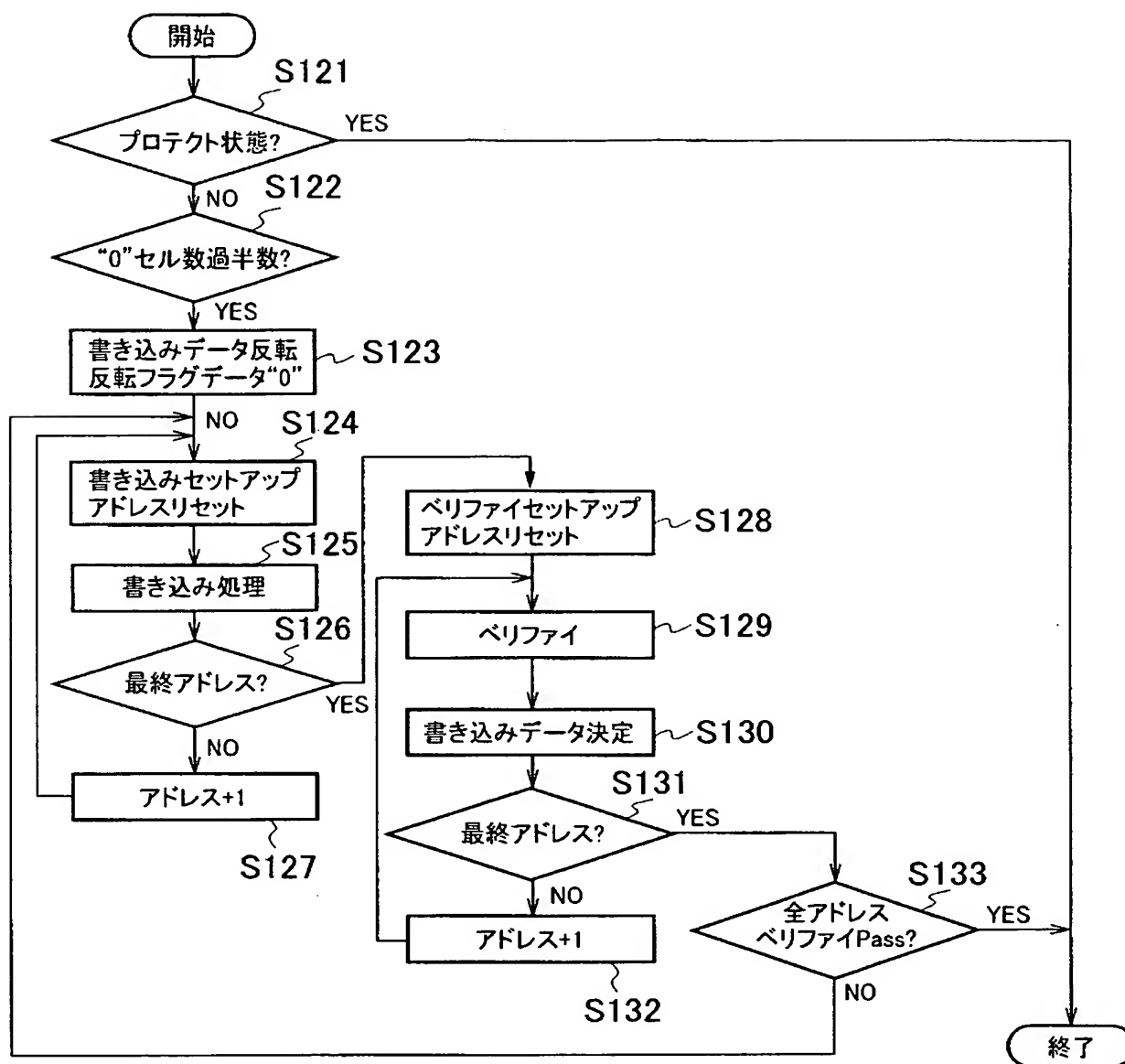
【図 5】



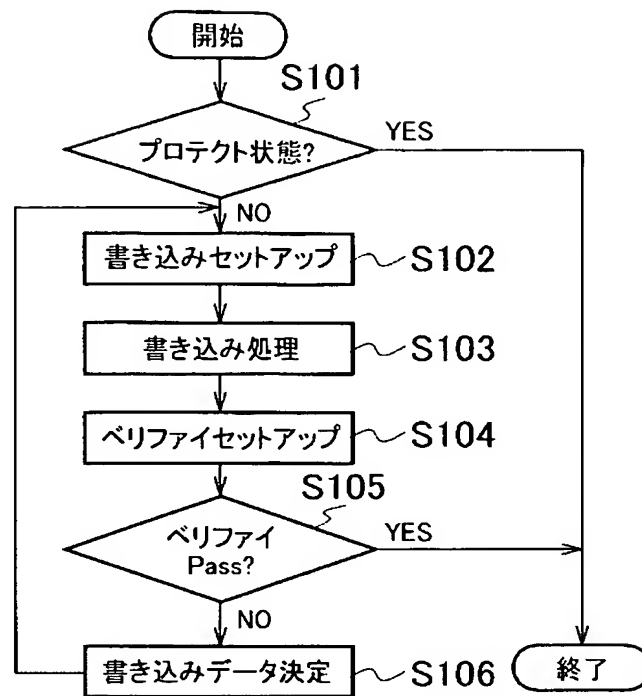
【図 6】



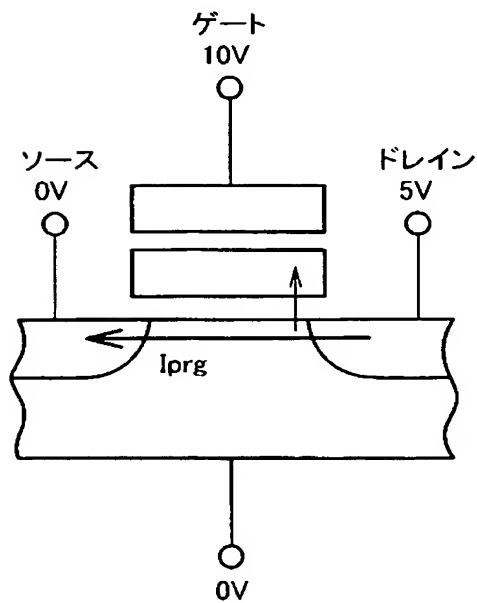
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 書き込み動作の高速化を図ることが可能な不揮発性半導体記憶装置を提供する

。【解決手段】 データを記憶するデータ記憶部及びデータが反転されたか否かに関する情報であるデータ反転用フラグを記憶するデータ反転用フラグ記憶部を有し、選択されたデータ及びデータに係るデータ反転用フラグを出力するメモリセルアレイ201と、メモリセルアレイにデータを書き込む際に、バイアス電圧を印加する数が所定数以上であるか否かを判定し、その判定の結果、バイアス電圧を印加する数が所定数以上の場合には、反転したデータ及びデータが反転された旨の情報であるデータ反転用フラグをメモリセルアレイに転送する指示を行うステートマシン208と、メモリセルアレイ201に記憶するデータを入力し、ステートマシン208の指示に基づいて反転したデータ及びデータ反転用フラグをメモリセルアレイ201へ転送するデータ制御回路205と、を有するようにしてある。

【選択図】 図1

特願 2 0 0 3 - 3 5 2 6 0 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝